

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-202360

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

G02F 1/136  
H01L 21/306  
H01L 29/786  
H01L 21/336

(21)Application number : 10-003291

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.01.1998

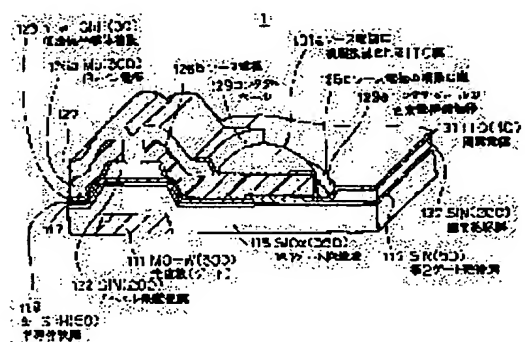
(72)Inventor : KUBO AKIRA  
KASHIMOTO MIYUKI

## (54) ARRAY SUBSTRATE FOR PLANE DISPLAY DEVICE AND PRODUCTION THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the step of an ITO film consisting of a pixel electrode from being cut on the terminal edge of a source electrode by forming a contact hole to expose the terminal edge of the source electrode and connecting the source electrode and the pixel electrode through a conductive layer at a section directly covering this terminal edge.

**SOLUTION:** A source electrode 126b is connected with a pixel electrode 11 through a contact hole 129 provided on an inter-layer covering insulating film 127. A terminal edge 129a of the contact hole 129 on the side to be connected with the pixel electrode 131 is located a little outside a correspondent terminal edge 126c of the source electrode 126b. Namely, the contact hole 129 is formed while being protruded from the upper surface of the source electrode 126b to the side of the pixel electrode. Then, the terminal edge 126c of the source electrode 126b is not covered with the inter-layer covering insulating film 127 but is covered only with the ITO film consisting of the pixel, electrode 131. The cover insulating property of the ITO film is extremely improved in comparison with the inter-layer covering insulating film 127. Therefore, the step of that film is not cut on the terminal edge 126c.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-202360

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl. <sup>6</sup>	識別記号	F I		
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0	
H 0 1 L 21/306		H 0 1 L 21/306	F	
29/786		29/78	6 1 6 S	
21/336			6 1 6 V	
			6 1 6 K	
審査請求 未請求 請求項の数 6 O L (全 11 頁)				

(21) 出願番号 特願平10-3291

(22) 出願日 平成10年(1998) 1月9日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 久保 明

兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路工場内

(72) 発明者 樫本 美由紀

兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路工場内

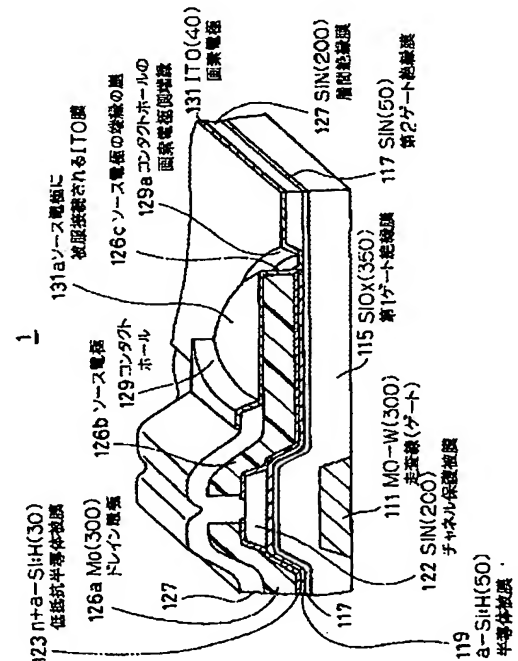
(74) 代理人 弁理士 葛田 璋子 (外 1 名)

(54) 【発明の名称】 平面表示装置用アレイ基板、及びその製造方法

(57) 【要約】

【課題】 表示装置用アレイ基板、及びその製造方法において、画素電極(131)を構成するITO膜が、ソース電極(126b)の端縁(126c)上で段切れを起こすことがないものを提供する。

【解決手段】 各画素に配されるTFT部分において、ソース電極(126b)の画素電極側の端縁(126c)を円弧状に形成し、この上に形成されるコンタクトホール(129)の画素電極側の端縁(129c)が、この円弧状より少し外側に位置するようにする。



## 【特許請求の範囲】

【請求項1】基板上に配置される走査線と、

この上に配置される第1及び第2絶縁膜、この上に配置される半導体膜、前記半導体膜に電気的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、

前記ドレイン電極から導出されて前記走査線と略直交する信号線と、

この信号線と前記ソース電極及びドレイン電極とを被覆する第3絶縁膜と、

前記ソース電極の上面の一部が露出するように前記第3絶縁膜に設けられたソース電極用コンタクトホールと、このソース電極用コンタクトホールを覆う導電層を介して前記ソース電極と電気的に接続される画素電極とを備えた表示装置用アレイ基板において、

前記ソース電極用コンタクトホールが、前記画素電極と接続する側における前記ソース電極の端縁を露出させるように形成され、

前記端縁を直接被覆する部分の前記導電層を介して、前記ソース電極と前記画素電極とが接続されることを特徴とする表示装置用アレイ基板。

【請求項2】請求項1記載のアレイ基板において、前記画素電極と接続する側において、前記ソース電極の端縁が略円弧状をなし、

この略円弧状の端縁が、前記ソース電極用コンタクトホールの略円形の端縁の内側に沿って近接して配されていることを特徴とする表示装置用アレイ基板。

【請求項3】請求項1記載のアレイ基板において、前記ソース電極が、モリブデン、またはモリブデンを55原子%以上含む合金からなることを特徴とする表示装置用アレイ基板。

【請求項4】基板上に配置される走査線を含む第1導電層パターンを形成する工程と、

この上に、第1及び第2絶縁膜、及び、半導体膜を形成する工程と、

前記前記半導体膜に接続されて薄膜トランジスタを構成するソース電極及びドレイン電極と、前記ドレイン電極から導出されて前記走査線と略直交する信号線とを含む第2導電層パターンを形成する工程と、

前記第2導電層パターンを被覆する第3絶縁膜を形成する工程と、

前記ソース電極の上面の一部が露出するように前記第3絶縁膜にソース電極用コンタクトホールを形成する工程と、

前記ソース電極用コンタクトホールにより前記ソース電極と電気的に接続される画素電極を形成する工程とを備えた表示装置用アレイ基板の製造方法において、

前記ソース電極用コンタクトホールを形成する工程において、このソース電極用コンタクトホールが、レジストパターンにおける寸法から、サイドエッチングにより、

前記画素電極と接続する側において前記ソース電極の端縁を含む寸法まで拡大され、

これにより、前記画素電極を形成する工程において、前記ソース電極の端縁が前記画素電極を形成する層によって直接被覆されることを特徴とする表示装置用アレイ基板の製造方法。

【請求項5】請求項4記載のアレイ基板の製造方法において、

アレイ基板の周縁部において、前記第1導電層パターンに属する配線を露出させる第1コンタクトホールを形成する工程と、

前記ソース電極用コンタクトホールを形成する工程と同時に、前記第1コンタクトホールの外端縁に接する領域において前記第2絶縁層を取り除くことにより、前記第2導電層パターンに属する配線を露出させる第2コンタクトホールを形成する工程と、

前記画素電極を形成する工程と同時に、前記第1コンタクトホールによって露出している前記第1導電層と、前記第2コンタクトホールによって露出している前記第2導電層とを、前記画素電極と同様の層により接続する工程とを備えたことを特徴とする表示装置用アレイ基板の製造方法。

【請求項6】請求項4又は5に記載のアレイ基板の製造方法において、

前記ソース電極用コンタクトホール、又は、これとともに前記第2コンタクトホールを形成する工程は、フッ化水素又はその塩を含有してなる単一のエッチング液による単一のエッチング処理により行われることを特徴とする表示装置用アレイ基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置等の平面表示装置に用いられるアレイ基板の製造方法に関する。

## 【0002】

【従来の技術】近年、CRTディスプレイに代わる平面型の表示装置が盛んに開発されており、中でも液晶表示装置は軽量、薄型、低消費電力等の利点から特に注目を集めている。

【0003】例えば、各表示画素毎にスイッチ素子が配置された光透過型のアクティブマトリクス型の液晶表示装置を例にとり説明する。アクティブマトリクス型液晶表示装置は、アレイ基板と対向基板との間に配向膜を介して液晶層が保持されて成っている。アレイ基板は、ガラスや石英等の透明絶縁基板上に複数本の信号線と走査線とが格子状に配置され、各交点部分にアモルファスシリコン（以下、a-Si:Hと略称する。）等の半導体薄膜を用いた薄膜トランジスタ（以下、TFTと略称する。）が接続されている。そしてTFTのゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電気的に接

続され、さらにソース電極は画素電極を構成する透明導電材料、例えばITO(Indium-Tin-Oxide)に電気的に接続されている。

【0004】対向基板は、ガラス等の透明絶縁基板上にITOから成る対向電極が配置され、またカラー表示を実現するのであればカラーフィルタ層が配置されて構成されている。

【0005】ここで、通常、上記ゲート電極及び走査線の上には、その上方の半導体層等とを絶縁するために、酸化シリコンからなる第1ゲート絶縁膜が配されており、さらに窒化シリコンからなる第2ゲート絶縁膜が配されている。また、上記透明導電材料の層と信号線等の金属配線層との間には、窒化シリコンからなる層間絶縁膜が配されている。

【0006】このようなアクティブマトリクス液晶表示装置の製造コストを低減する上で、アレイ基板製造のための工程数が多く、そのためアレイ基板のコスト比率が高いという問題があった。

【0007】そこで、特願平8-260572号においては、画素電極を最上層に配置し、これに伴い信号線、ソース、ドレイン電極と共に、半導体被膜等を同一のマスクパターンに基づいて一括してパターンニングを行った後、ソース電極と画素電極との接続用のコンタクトホール

の作製と共に、信号線や走査線の接続端を露出するためのコンタクトホールの作製を同時に行うことが提案されている。これにより、少ないマスク数で生産性を向上でき、しかも製造歩留まりを低下させることもない。

【0008】しかし、上記のように、画素電極層の一部がソース電極を覆う画素上置きタイプの場合、以下に説明するような問題があった。

【0009】図11に、従来のアレイ基板における、ソース電極と画素電極との接続不良の発生について、TF

T部分の模式的な縦断面図により示す。

【0010】TF Tのソース電極(126b)は、その上面に配されるコンタクトホール(129)により、画素電極(131)を構成するITO膜と接続される。コンタクトホール(129)は、全体がソース電極(126b)上に配されるので、ソース電極(126b)についての画素電極側の端縁(126c)は、ソース電極(126b)の層と画素電極(131)の層との間の層間絶縁膜(127)により覆われる。

【0011】ソース電極(126b)及びドレイン電極を含む上層金属配線のための金属として、モリブデン金属または、モリブデン金属を55原子% (モル%) 以上好ましくは70原子%以上含む合金が耐ヒロック性や、エッチング残渣がないこと等において優れている。しかし、このような金属を用いた場合には、図中に示されるように、ソース電極(126b)の端縁(126c)がほぼ垂直に近い形状ないしはオーバーハング形状にエッチングされることがあり、その結果、以下のような問題が生じることがあった。

【0012】このような形状を有するソース電極(126b)の端縁(126c)部分に対して、層間絶縁膜(127)が堆積された場合には、往々にしてボイド(128)が形成され、これによりITO膜がカバーしきれない部分が生じる。また、ITO膜パターンニング工程中にこのボイド(128)にしみ込んだエッチング液が、ITO膜を腐蝕し、ITO膜の段切れを引き起こすことがある。

【0013】上記の従来の技術のアレイ基板の製造工程について、図12~16を用いて、より詳細に説明する。ここでは、第1~第5工程の説明を省略し、第6工程から説明する。

【0014】(1) 第6工程

図12に、第5工程終了後の状態を積層断面図で示す。第6工程では、この上に、窒化シリコン膜から成る層間絶縁膜(127)を堆積した後、第4のマスクパターンを用いて露光、現像し、ソース電極(126b)に対応する領域の一部の層間絶縁膜(127)を除去することにより、図13に示すように、コンタクトホール(129, 163-166)を形成する。

【0015】図14の平面図には、ソース電極電極用コンタクトホール(129)を形成する際のオーバーエッチング(サイドエッチングによる寸法拡大)について示す。エッチング初期のコンタクトホール(129-0)は、レジストパターンに対応する位置及び寸法を有する。オーバーエッチングにより拡大されるものの、通常的设计においては、コンタクトホール(129)の端縁がソース電極の範囲からはみ出ることがない。また、ソース電極(126b)は、画素電極と接続する側の端縁(126c)(ドレイン電極と接続する側以外の端縁)が3つの直線からなる。すなわち、ソース電極(126b)は、画素電極に囲まれる部分が、長方形部分の平面形状を有する。

【0016】(2) 第7工程

図15の積層断面図、及び図16の平面図には、ITO膜を堆積した後、パターンニングにより画素電極(131)を形成した様子を示す。

【0017】

【発明が解決しようとする課題】そこで、本発明は、上記問題点を鑑み、画素電極(131)を構成するITO膜が、ソース電極(126b)の端縁(126c)上で段切れを起こすことがない表示装置用アレイ基板、及びその製造方法を提供するものである。

【0018】

【課題を解決するための手段】請求項1記載の表示装置用アレイ基板においては、基板上に配置される走査線と、この上に配置される第1及び第2絶縁膜、この上に配置される半導体膜、前記半導体膜に電気的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記ドレイン電極から導出されて前記走査線と略直交する信号線と、この信号線と前記ソース電極及びドレイン電極とを被覆する第3絶縁膜と、前記ソース電極

の上面の一部が露出するように前記第3絶縁膜に設けられたソース電極用コンタクトホールと、このソース電極用コンタクトホールを覆う導電層を介して前記ソース電極と電気的に接続される画素電極とを備えた表示装置用アレイ基板において、前記ソース電極用コンタクトホールが、前記画素電極と接続する側における前記ソース電極の端縁を露出させるように形成され、前記端縁を直接被覆する部分の前記導電層を介して、前記ソース電極と前記画素電極とが接続されることを特徴とする。

【0019】このような構成により、ソース電極の画素電極側端縁がほぼ垂直ないしはややオーバーハング状であっても、絶縁膜の層によってこの部分にボイドが形成されることがない。したがって、ソース電極の画素電極側端縁におけるITO膜の段切れやエッチング液のしみ込みに起因する表示装置の点欠陥不良を防止することができる。

【0020】請求項2記載の表示装置用アレイ基板においては、請求項1記載のアレイ基板において、前記画素電極と接続する側において、前記ソース電極の端縁が略円弧状をなし、この略円弧状の端縁が、前記ソース電極用コンタクトホールの略円形の端縁の内側に沿って近接して配されていることを特徴とする。

【0021】このような構成であると、所望のコンタクトホールが、オーバーエッチングにより容易に製造できる。特に、第3絶縁膜(Pass-SiN)と第2絶縁膜(g-SiN)のエッチングレート差を5倍以上することで、オーバーエッチングによって、下方の絶縁膜が損傷されることを十分に防止することができる。

【0022】請求項3記載の表示装置用アレイ基板においては、請求項1記載のアレイ基板において、前記ソース電極が、モリブデン、またはモリブデンを55原子%以上含む合金からなることを特徴とする。

【0023】請求項4記載の表示装置用アレイ基板の製造方法においては、基板上に配置される走査線を含む第1導電層パターンを形成する工程と、この上に、第1及び第2絶縁膜、及び、半導体膜を形成する工程と、前記前記半導体膜に接続されて薄膜トランジスタを構成するソース電極及びドレイン電極と、前記ドレイン電極から導出されて前記走査線に略直交する信号線とを含む第2導電層パターンを形成する工程と、前記第2導電層パターンを被覆する第3絶縁膜を形成する工程と、前記ソース電極の上面の一部が露出するように前記第3絶縁膜にソース電極用コンタクトホールを形成する工程と、前記ソース電極用コンタクトホールにより前記ソース電極と電気的に接続される画素電極を形成する工程とを備えた表示装置用アレイ基板の製造方法において、前記ソース電極用コンタクトホールを形成する工程において、このソース電極用コンタクトホールが、レジストパターンにおける寸法から、サイドエッチングにより、前記ドレイン電極から遠い側において前記ソース電極の端縁を含む

法まで拡大され、これにより、前記画素電極を形成する工程において、前記ソース電極の端縁が前記画素電極を形成する層によって直接被覆されることを特徴とする。

【0024】このような構成により、ソース電極の端縁におけるITO膜の段切れやエッチング液のしみ込みに起因する表示装置の点欠陥不良を防止することができる。

【0025】請求項5記載の表示装置用アレイ基板の製造方法においては、請求項4記載のアレイ基板の製造方法において、アレイ基板の周縁部において、前記第1導電層パターンに属する配線を露出させる第1コンタクトホールを形成する工程と、前記ソース電極用コンタクトホールを形成する工程と同時に、前記第1コンタクトホールの外端縁に接する領域において前記第2絶縁層を取り除くことにより、前記第2導電層パターンに属する配線を露出させる第2コンタクトホールを形成する工程と、前記画素電極を形成する工程と同時に、前記第1コンタクトホールによって露出している前記第1導電層と、前記第2コンタクトホールによって露出している前記第2導電層とを、前記画素電極と同一の層により接続する工程とを備えたことを特徴とする。

【0026】上記構成により、アレイ基板の周縁部のコンタクトホールについても、接続不良を確実に防止できるとともに、コンタクトホール形成の工程を簡略化することができる。

【0027】請求項6記載の表示装置用アレイ基板の製造方法においては、請求項4又は5に記載のアレイ基板の製造方法において、前記ソース電極用コンタクトホール、又は、これとともに前記第2コンタクトホールを形成する工程は、フッ化水素又はその塩を含有してなる単一のエッチング液による単一のエッチング処理により行われることを特徴とする。

【0028】

【発明の実施の形態】<アレイ基板の構成>以下、本発明の表示装置用アレイ基板の構成について図1から図3、及び図9に基づいて説明する。

【0029】図1は、アレイ基板(100)の概略平面図を示すものであり、図中の下側が液晶表示装置の画面上側に位置するものであって、図中下側から上側に向かって走査線が順次選択されるものである。

【0030】アレイ基板(100)は、ガラス基板(101)上に配置される480本の走査線(111)を含み、各走査線(111)の一端は、ガラス基板(101)の一端部(101a)側に引き出され、斜め配線部(150)を経て走査線パッド(152)に電気的に接続される。

【0031】アレイ基板(100)は、ガラス基板(101)上に走査線(111)と略直交する1920本の信号線(110)を含み、各信号線(110)はガラス基板(101)の他の一端部(101b)側に引き出され、斜め配線部(160)を経て信号線パッド(162)に電気的に接続される。

【0032】走査線(111)と信号線(110)との交点部分近傍には、TFT(112)が配置されている。

【0033】(1) TFT部分の構造

TFT(112)の積層構造について、図2の模式的な断面斜視図を用いて説明する。

【0034】TFT(112)は、下層の金属配線である走査線(111)をゲートとした逆スタガー型であって、上層の金属配線である信号線(110)からの延在部分がドレイン電極(126a)をなしており、チャネル部にチャネル保護被膜(122)を有する。また、TFT(112)は画素上置きタイプであって、ソース電極(126b)は、この上面を露出させるように層間被覆絶縁膜(127)に設けられたコンタクトホール(129)を介して、画素電極(131)と接続される。

【0035】図に示すように、コンタクトホール(129)についての画素電極と接続する側の端縁(129a)、すなわち、ドレイン電極と接続する側以外の端縁は、対応するソース電極の端縁(126c)よりも少し外側にある。すなわち、コンタクトホール(129)は、ソース電極(126b)の上面から画素電極側へとみ出して形成される。このため、コンタクトホール(129)の底面内には、ソース電極

についての、画素電極と接続する側の端縁(126c)が含まれ、これが底面内の段差部をなしている。

【0036】したがって、ソース電極についての画素電極と接続する側の端縁(126c)は、層間被覆絶縁膜(127)に被覆されず、画素電極(131)を構成するITO膜によってのみ被覆されることとなる。なお、図に示されるように、ソース電極の画素電極接続側の端縁(126c)は、コンタクトホールの円形領域に収まりやすいように、予め、円弧状の平面形状に形成される。

【0037】上記において、ITO(Indium Tin Oxide)は、層間被覆絶縁膜(127)にくらべて被覆充填性が格段に優れるものである。したがって、ソース電極の端縁(126c)がほぼ垂直ないしはオーバーハング状であっても、ソース電極の端縁(126c)に沿った部分で、ボイドが形成されることがない。そのため、画素電極(131)を構成するITO膜が、ソース電極の端縁(126c)上で段切れを起こすことがない。

【0038】(2) 信号線側外周部の構造

信号線(110)の外周部付近の構造について、図1、図3及び図9に基づいて説明する。

【0039】図1に示すように、走査線(111)と同一工程にて同一材料で形成される下層配線部(111b)が、各信号線(110)に対応してガラス基板(101)の一端辺(101b)側の信号線(110)の斜め配線部(160)及び信号線パッド(162)に配置されている。

【0040】図9に示すように、斜め配線部(160)においては、下層配線部(111b)の上には、2層の絶縁膜(115)、(117)が配置されている。また、この2層の絶縁膜(115)、(117)の上に、半導体被膜(119)、低抵抗半導体被膜(123)及び信号線(110)から延在される上層配線部(125b)

が積層され、この上層配線部(125b)上には層間絶縁膜(127)が配置されている。

【0041】斜め配線部(160)においては、信号線(110)から延在される上層配線部(125b)と、走査線(111)と同一工程にて同一材料で形成される下層配線部(111b)とが積層配置され、この2層によって、斜め配線部(160)の基部と信号線パッド(162)とを電気的に接続している。

【0042】そのため、斜め配線部(160)において、上層配線部(125b)または下層配線部(111b)の一方が断線しても、他方が接続されているため、斜め配線部(160)に断線不良が生じることが軽減される。

【0043】この斜め配線部(160)の基部、及び、信号線パッド(162)においては、それぞれ、第2コンタクトホール(163)及び(165)が形成された領域中に第1コンタクトホール(164)及び(166)が形成されている。そして、これらコンタクトホールの領域に、画素電極(131)と同一工程にて同一材料のITOから形成される信号線接続層(131b)が配されることによって、信号線(110)から延在される上層配線部(125b)と下層配線部(111b)とが電気的に接続されている。なお、第1コンタクトホール(164)及び(166)は、下層配線部(111b)の主表面の一部を露出するように2層の絶縁膜(115)、(117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125b)を貫通する開口であって、第2コンタクトホール(163)及び(165)は上層配線部(125b)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0044】図3の縦断面斜視図に模式的に示すように、第2コンタクトホール(163)の底面(163b)がドーナツ状をなし、第1コンタクトホール(164)の外端縁(164b)は、同時に、ドーナツ状の底面(163b)の内縁となっている。

【0045】このように、第2コンタクトホールの形成された領域中に第1コンタクトホールが配されるため、コンタクトホール形成のための面積は、両コンタクトホールを接続層(131b)により接続したものにおける最小面積とすることができる。

【0046】また、接続層(131b)はITOからなるため抵抗率が高いものの、第1コンタクトホールの底面にて下層配線部(111b)を覆う接続層(131b)部分と、第2コンタクトホールの底面にて上層配線部(125b)を覆う接続層(131b)部分とは、単に第1コンタクトホールの段差面上の接続層(131b)部分だけを介して結合されている。したがって、接続層(131b)部分の配線長は最小限となる。しかも、第1コンタクトホールの外縁の全周にわたってこのような接続が行われている。したがって、接続層(131b)部分の抵抗によってクロストークといった表示不良が引き起こされることがない。

【0047】なお、走査線側外周部の構造は、上記に説明した信号線付近の外周部の構造と同様である。

【0048】本実施例においては、図1に示すように、

補助容量 (Cs) が走査線の延在部(113)により形成されるものとして説明しているが、走査線(111)と並行する補助容量線 (Cs線) を配する構成とすることもできる。この場合、走査線(111)と同一工程にて同一材料より形成される各補助容量線 (Cs線) の一端又は両端が、信号線(110)と同一工程にて同一材料より形成されるCs束ね線とコンタクトホールを介して接続される。このコンタクトホールについても、上記で説明した、信号線側外周部における構造と全く同様のものとすることができる。

【0049】 <アレイ基板の製造工程>次に、このアレイ基板(100)の製造工程について、図4から図9を参照して詳細に説明する。下記の説明において、走査線付近の外周部の製造工程は、信号線付近の外周部の製造工程と全く同様であるので、省略する。

#### 【0050】 (1) 第1工程

ガラス基板(101)に、スパッタ法により、Mo-W膜 (モリブデン-タングステン合金膜) を300nmの膜厚に堆積させる。

【0051】 この積層膜上に、フォトリソグラフィを用いて走査線パターンと補助容量配線の一部を形成し、CF<sub>4</sub>/O<sub>2</sub>系CDEでテーパー形状にドライエッチングし、走査線と補助容量配線パターンを完成させる (第1のパターニング)。

【0052】 これにより、ガラス基板(101)上に480本の走査線(111)を作製すると共に、その一端辺(101a)側において走査線(111)の斜め配線部(150)及び走査線パッド(152)を構成する下層配線部(111a)、一端辺(101b)において信号線(110)の斜め配線部(160)及び信号線パッド(162)を構成する下層配線部(111b)をそれぞれ同時に作製する。

【0053】 さらに、TFT領域では走査線(111)と一体で走査線(111)と直交する方向に導出されるゲート電極を作製する。また、走査線(111)のパターニングの際に走査線(111)と直交する方向に導出され、補助容量 (Cs) を形成するための延在領域(113)も同時に作製しておく (図1参照)。

#### 【0054】 (2) 第2工程

第1工程の後、ガラス基板(101)を300℃以上に加熱した後、常圧プラズマCVD法により350nm厚の酸化シリコン膜 (SiO<sub>x</sub>膜) から成る第1ゲート絶縁膜(115)を堆積した後、さらに減圧プラズマCVD法により50nm厚の窒化シリコン膜から成る第2ゲート絶縁膜(117)、50nm厚のa-Si:Hから成る半導体被膜(119)及び200nm厚の窒化シリコン膜から成るチャネル保護被膜(121)を連続的に大気中にさらすことなく成膜する。

【0055】 ここで、窒化シリコン膜である第2ゲート絶縁膜(117)を成膜する際には、減圧プラズマCVDの条件を、膜組成におけるケイ素 (シリコン) 元素に対す

る窒素元素の比 (窒素/ケイ素の組成比N/Si) が1.5以上となるように調整する。

【0056】 SiO<sub>x</sub>膜の代わりに、ガラス基板(101)を300℃以上に加熱した後、熱CVD法によるSiO<sub>2</sub>膜を用いてもよい。

#### 【0057】 (3) 第3工程

第2工程の後、走査線(111)をマスクとした裏面露光技術により走査線(111)に自己整合的にチャネル保護被膜(121)をパターニングし、さらにTFT領域に対応するように第2のマスクパターンを用いて露光し、現像、パターニング (第2のパターニング) を経て、島状のチャネル保護膜(122)を作製する。

#### 【0058】 (4) 第4工程

第3工程の後、図4に示すように、良好なオーミックコンタクトが得られるように露出する半導体被膜(119)表面をフッ酸 (HF) 系溶液で処理し、プラズマCVD法により不純物としてリンを含む30nm厚のn<sup>+</sup>a-Si:Hから成る低抵抗半導体被膜(123)を堆積し、300nm厚のMo膜 (モリブデン膜) (125)をスパッターにより堆積する。

#### 【0059】 (5) 第5工程

第4工程の後、図5に示すように、第3のマスクパターンを用いて露光、現像した後、Mo膜(125)、低抵抗半導体被膜(123)及び半導体被膜(119)についてのパターニングを行う (第3のパターニング)。この際、Mo膜(125)は、リン酸、硝酸、酢酸及び水の混酸を用いたウェットエッチングによりパターニングする。また、低抵抗半導体被膜(123)及び半導体被膜(119)は、窒化シリコン膜から成る第1ゲート絶縁膜(115)あるいは第2ゲート絶縁膜(117)とチャネル保護膜(122)とのエッチング選択比を制御することによって、プラズマエッチングによりパターニングする。

【0060】 これにより、TFT領域においては、ソース電極(126b)とその下方の低抵抗半導体膜部分(124a)とを一体に作製し、信号線(110)及びドレイン電極(126a)とその下方の低抵抗半導体膜部分(124b)とを一体に作製する。

【0061】 信号線パッド(162)及び斜め配線部(160)の基部においては、下層配線部(111b)上に沿ってMo膜(125)をパターニングして信号線(110)から延在される上層配線部(125b)を形成すると共に、上層配線部(125b)に沿って低抵抗半導体被膜(123)及び半導体被膜(119)を一括してパターニングする。

【0062】 これと同時に、上述した第1コンタクトホール(164)、(166)に対応する領域の上層配線部(125b)、低抵抗半導体被膜(123)及び半導体被膜(119)を貫通する開口(164a)、(166a)を作製する。

【0063】 ここでは、Mo膜(125)、低抵抗半導体被膜(123)及び半導体被膜(119)のパターニングは、ウェットエッチングとこれに続くドライエッチングとの連続工



程により行ったが、ドライエッチングのみ、又は、ウェットエッチングのみにより行うこともできる。

#### 【0064】(6) 第6工程

第5工程の後、この上に200nm厚の窒化シリコン膜から成る層間絶縁膜(127)を堆積する。

【0065】ここで、層間絶縁膜(127)を成膜する際には、減圧プラズマCVDの条件を、ケイ素に対する窒素の元素比が1.28以上となるように調整する。

【0066】そして、第4のマスクパターンを用いて露光、現像し、ソース電極(126b)に対応する領域の一部の層間絶縁膜(127)を除去してコンタクトホール(129, 164-166)を形成する(第4のパターニング)。

【0067】コンタクトホールを形成するためのエッチング処理薬剤としては、フッ化水素系薬剤を用いる。特に好ましいものとしては、フッ化水素-フッ化アンモニウム緩衝液(バッファードフッ酸、BHF)が挙げられる。バッファードフッ酸は、フッ化水素を6%、フッ化アンモニウムを30%含有する水溶液である。

【0068】層間絶縁膜(127)と第2ゲート絶縁膜(117)は共に窒化シリコンからなるが、層間絶縁膜(127)がバッファードフッ酸によってエッチングされる速度は、第2ゲート絶縁膜(117)のそれの約10倍である。すなわち、エッチング速度比が約10倍である。これは、同じ減圧CVD法により成膜されても、成膜条件が異なり、密度及び窒素/ケイ素の重量組成比が大きく異なることに起因する。

【0069】以下に、図6~8を用いて、層間絶縁膜(127)にコンタクトホールを形成するエッチング工程について説明する。

【0070】a. オーバーエッチング前(サイドエッチングによる寸法拡大の前)まず、図6に、エッチングの初期におけるTFET部分の積層断面構造を示す。

【0071】この段階におけるコンタクトホールの大きさは、上記のようにマスクパターンにしたがって形成されたレジストパターンにおけるコンタクトホール部分とほぼ同一である。

【0072】このとき、ソース電極部分におけるコンタクトホール(129)は、その全体がソース電極(126b)の領域内にある。すなわち、ソース電極(126b)についての画素電極側の端縁(126c)は、層間絶縁膜(127)によって被覆されたままである。

【0073】一方、この時、信号線パッド(162)及び斜め配線部(160)の基部においては、開口(164a)、(166a)に対応する第1及び第2ゲート絶縁膜(115)、(117)と共に層間絶縁膜(127)が一括して除去され、第1コンタクトホール(164)、(166)が形成される(第4のパターニング)。

【0074】b. オーバーエッチング後(サイドエッチングによる寸法拡大の後)次に、図7に、エッチング終了後、すなわち、オーバーエッチング後におけるTFET

部分の積層断面構造を示す。

【0075】オーバーエッチングにより各コンタクトホールのサイズが拡大された後には、コンタクトホール(129)についての画素電極側の端縁(129a)が、ソース電極(126b)についての画素電極側の端縁(126c)を超えて外側に来ている。したがって、ソース電極(126b)についての画素電極側の端縁(126c)には、層間絶縁膜(127)が残らない。

【0076】一方、この時、信号線パッド(162)及び斜め配線部(160)の基部においては、第1コンタクトホール(164)、(166)を取り囲む領域の層間絶縁膜(127)が除去され、第2コンタクトホール(163)、(165)が形成される。

【0077】図8は、オーバーエッチングについて模式的に示すための、TFET部分の平面図である。

【0078】図に示すように、レジストパターンにおけるコンタクトホール部分の設計サイズと、オーバーエッチングの時間とを調整することにより、コンタクトホールがソース電極の画素電極側の端縁(126c)を少し超えるところまで拡大するようにされる。

【0079】また、ソース電極についての画素電極と接続する側の端縁(126c)は、略円弧状に形成され、略円形のコンタクトホール(129)の端縁の内側に沿って近接して配されている。

【0080】図8に示すような平面配置であるため、オーバーエッチングのための時間は、最小限とすることができ、また、オーバーエッチング中にゲート絶縁膜(119)を損傷することもない。

#### 【0081】(7) 第7工程

第6工程の後、図9に示すように、この上に40nm厚のITO膜を基板温度230℃でスパッターにより堆積し、第5のマスクパターンを用いて露光、現像した後、画素電極(131)を作製するパターニングを行う(第5のパターニング)。ITO膜のパターニングは、ウェットエッチングであってもドライエッチングであってもかまわない。

【0082】図9中に示すように、上記第6工程で形成されたコンタクトホール(129)により、ソース電極(126b)の上面の一部を被覆してこれと接続されるITO膜(131a)は、ソース電極の画素電極側の端縁(126c)、及び、これとコンタクトホール(129)の画素電極側の端縁(129a)との間の谷部を直接被覆するITO膜を介して、画素電極(131)に接続される。

【0083】同時に、信号線パッド(162)及び斜め配線部(160)の基部においては、図9に示すように、第2コンタクトホール(163)、(165)及び第1コンタクトホール(164)、(166)の領域を覆うようにパッチ状の接続層(131b)を形成する。これにより信号線(110)と信号線接続パッド(162)とは、下層配線部(111b)と上層配線部(125b)の2層構造の斜め配線部(160)により電氣的に接続され



る。

【0084】図10の平面図には、画素電極作成後のTFT部分について模式的に示す。既に説明したように、画素電極側におけるソース電極の円弧状端縁よりコンタクトホールとの端縁が外側に位置する。

【0085】上記実施例においては、半導体被膜(119)をa-Si:Hで構成する場合について説明したが、多結晶シリコン膜等であっても全く同様である。また、アレ基板の周縁領域に信号線パッド(162)及び走査線パッド(152)パッド(152)、(162)が備えられるものとして説明したが、アレ基板の周縁領域に駆動回路部を一体に形成し、この駆動回路部への入力接続部を形成したものであっても良い。

【0086】＜具体的な実施例＞

(1) オーバーエッチングについての設計

レジストパターンにおけるコンタクトホールの設計サイズ及びエッチング時間の調整についての具体例を挙げれば以下のようなものである。

【0087】a. 第4のパターニング(第6工程)のためのレジストパターンにおけるコンタクトホールの画素電極側の円弧状端縁が、第3のパターニング(第5工程)のためのレジストパターンにおけるソース電極の画素電極側の円弧状端縁より4μm内側となるように、それぞれのマスクパターンを調整する。

【0088】b. 上記第5工程において、ソース電極を形成する第3のパターニングの際、サイドエッチングが0.75μmである。

【0089】c. 上記第6工程において、コンタクトホールのサイドエッチングの速度が、1.8μm/minとなるようにエッチング条件を設定し、120秒間エッチングを行う。例えば、層間被覆絶縁膜(127)に対して、パフアードフッ酸を28℃で用いる。

【0090】上記a.～c.の結果、画素電極側における、コンタクトホールの端縁からソース電極の端縁までの距離は、以下になる。

【0091】4μm-0.75μm-(1.8μm×120/60)=-0.35μmすなわち、コンタクトホールの端縁がソース電極の端縁より0.35μmだけ外側に位置することとなる。

【0092】(2) ITO膜の形成とパターニング

d. 上記第7工程において、40nm厚のITO膜を基板温度230℃でスパッターにより堆積し露光、現像した後、26%濃度の塩酸(26% $\text{HCl} \cdot \text{aq}$ )を液温37℃で120秒間吹き付けるスプレーエッチングにより、画素電極(131)を作製する。

【0093】(3) 点欠点不良の検査

e. アレイ基板製造工程に関する最終検査を、上記のように製造されたアレ基板について行ったところ、ソース電極の端縁におけるITO膜の段切れやエッチング液のしみ込みによる点欠陥不良は全く観察されなかった。

【0094】

【発明の効果】以上に述べたように本発明によれば、画素電極のパターン等における段切れの発生を防止することができ、これにより製品不良を低減させることができる。

【図面の簡単な説明】

【図1】本発明の一実施例のアレイ基板の一部概略平面図である。

【図2】実施例のアレイ基板のTFT部におけるコンタクトホール形成領域の積層構造について示す模式的な断面斜視図である。

【図3】実施例のアレイ基板の接続パッド部におけるコンタクトホール形成領域の積層構造について示す模式的な断面斜視図である。

【図4】図1～3に示す実施例のアレイ基板を製造する際の、第4工程終了後における積層断面図である。

【図5】図1～3に示す実施例のアレイ基板を製造する際の、第5工程終了後における積層断面図である。

【図6】図1～3に示す実施例のアレイ基板を製造する際の、第6工程のエッチング初期における積層断面図である。

【図7】図1～3に示す実施例のアレイ基板を製造する際の、第6工程のオーバーエッチング後における積層断面図である。

【図8】実施例のアレイ基板を製造する際の、オーバーエッチングについて模式的に示すための、TFT部分の平面図である。

【図9】図1～3に示す実施例のアレイ基板を製造する際の、第7工程終了後における積層断面図である。

【図10】図9の状態についてさらに説明するための、図8と同様の平面図である。

【図11】従来の技術のアレイ基板のTFT部におけるコンタクトホール形成領域の積層構造について示す模式的な縦断面図である。

【図12】図11に示す従来のアレ基板を製造する際の、第5工程終了後における積層断面図である。

【図13】図11に示す従来のアレ基板を製造する際の、第6工程終了後における積層断面図である。

【図14】従来のアレ基板を製造する際の、オーバーエッチングについて模式的に示すための、TFT部分の平面図である。

【図15】図11に示す従来のアレ基板を製造する際の、第7工程終了後における積層断面図である。

【図16】図15の状態についてさらに説明するための、図14と同様の平面図である。

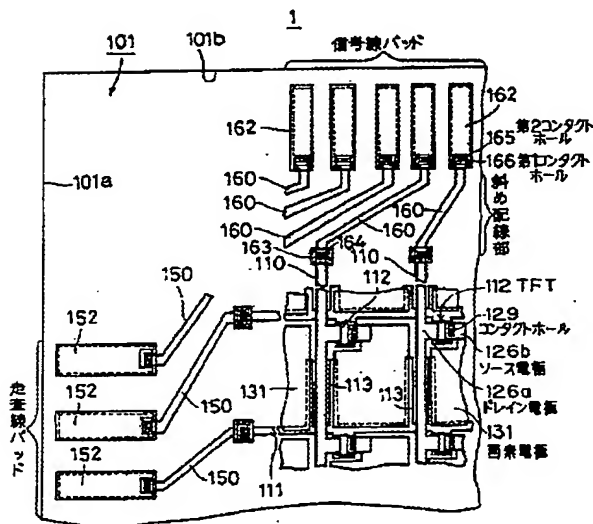
【符号の説明】

110 信号線(Mo膜)  
111 走査線(Mo-W膜)  
112 薄膜トランジスタ(TFT)  
113 走査線の延在領域

15

- 115 第1ゲート絶縁膜 ( $\text{SiO}_x$ )  
 117 第2ゲート絶縁膜 ( $\text{SiN}$ )  
 119 半導体被膜 ( $\text{a-Si:H}$ )  
 123 低抵抗半導体被膜 ( $\text{n}^+\text{a-Si:H}$ )  
 126a ドレイン電極 ( $\text{Mo}$ 膜)  
 126b ソース電極 ( $\text{Mo}$ 膜)  
 126c ソース電極の画素電極側における円弧状端縁  
 127 層間絶縁膜 (パッシベーション膜、 $\text{SiN}$ )

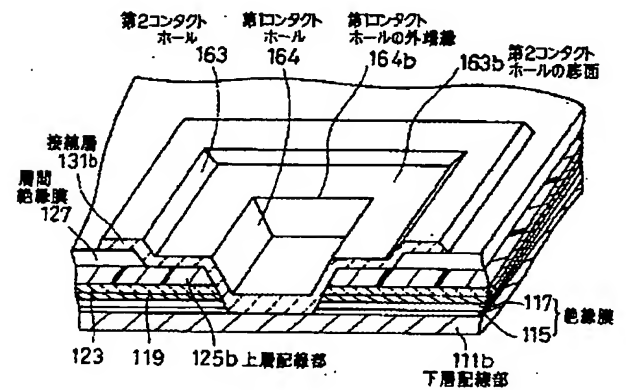
【図1】



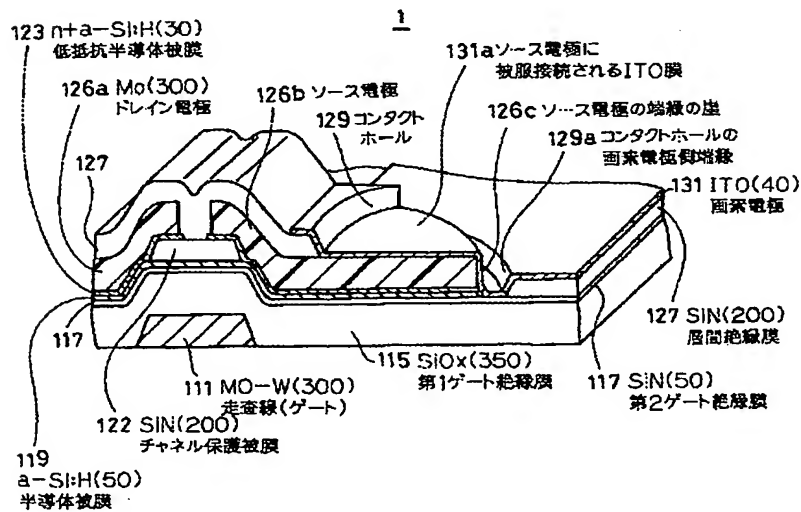
16

- 131 画素電極 ( $\text{ITO}$ 膜)  
 131a ソース電極に被覆、接続される  $\text{ITO}$ 膜  
 131b 接続部  
 129 ソース電極と画素電極との接続用のコンタクトホール  
 129a コンタクトホールの画素電極接続側の端縁  
 153, 155 走査線パッド用第1コンタクトホール  
 154, 156 走査線パッド用第2コンタクトホール  
 163, 165 信号線パッド用第1コンタクトホール  
 164, 166 信号線パッド用第2コンタクトホール

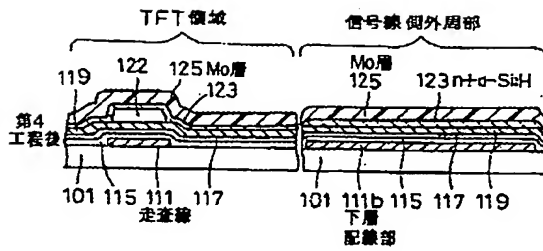
【図3】



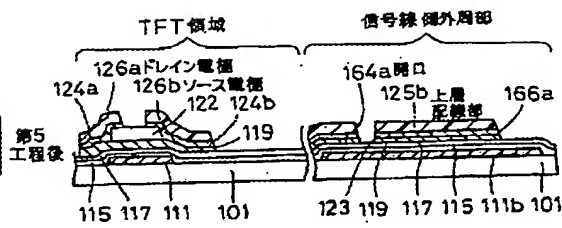
【図2】



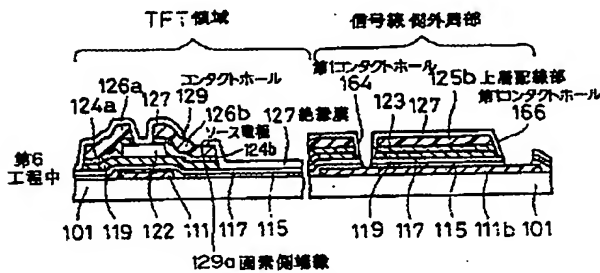
【図4】



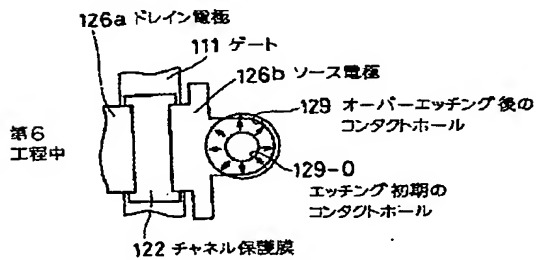
【図5】



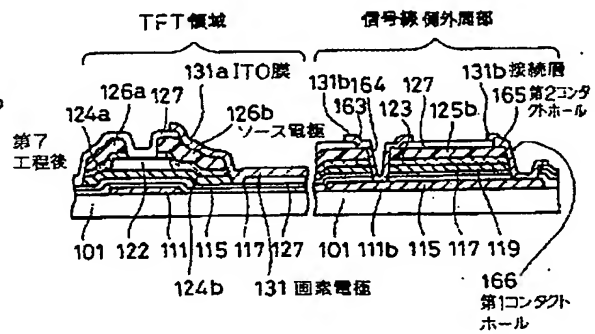
【図6】



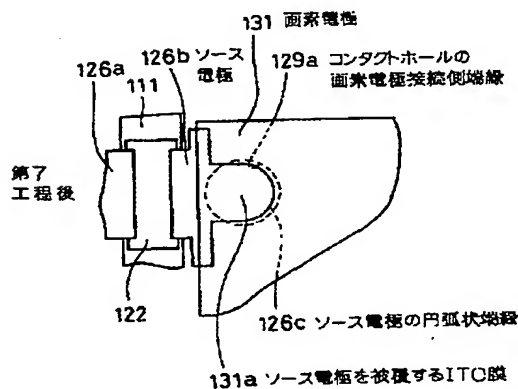
【図8】



【図9】



【図10】



【図12】

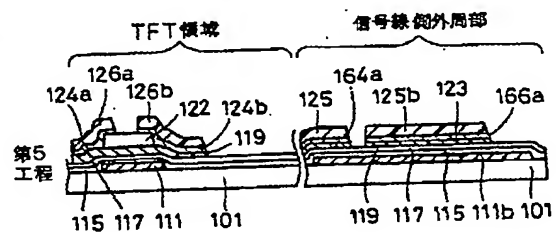


Figure 7 is a cross-sectional view of the TFT region and signal line outer edge of the device. The diagram is divided into two sections: "TFT区域" (TFT region) on the left and "信号线 侧外周部" (Signal line outer edge) on the right. The TFT region shows a substrate 101 with a gate insulating layer 122, a gate electrode 127, a channel layer 111, and a source/drain layer 115. A TFT region 124a is formed on the gate electrode 127, and a TFT region 124b is formed on the source/drain layer 115. A gate insulating layer 126b is formed on the TFT region 124a. A gate insulating layer 126a is formed on the gate electrode 127. A gate insulating layer 127 is formed on the channel layer 111. A gate insulating layer 131 is formed on the source/drain layer 115. The signal line outer edge shows a substrate 101 with a gate insulating layer 122, a gate electrode 127, a channel layer 111, and a source/drain layer 115. A signal line 163 is formed on the gate electrode 127, and a signal line 164 is formed on the source/drain layer 115. A signal line 165 is formed on the channel layer 111, and a signal line 166 is formed on the source/drain layer 115. A gate insulating layer 127 is formed on the channel layer 111. A gate insulating layer 123 is formed on the source/drain layer 115. A gate insulating layer 125b is formed on the source/drain layer 115. A gate insulating layer 131 is formed on the source/drain layer 115.

Fig. 10 is a cross-sectional view of the contact portion of the semiconductor device. It shows a substrate 122 with a contact hole 129. A conductive layer 126a is on the left, and a conductive layer 126b is on the right. A conductive layer 131 is on the top surface. A conductive layer 129 is on the bottom surface of the contact hole.